

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-278318

(P2000-278318A)

(43)公開日 平成12年10月6日 (2000.10.6)

(51)Int.Cl.⁷
H 04 L 12/56
H 04 J 3/00
H 04 L 7/00
29/08

識別記号

F I テーマコード(参考)
H 04 L 11/20 102 A 5 K 0 2 8
H 04 J 3/00 M 5 K 0 3 0
H 04 L 7/00 A 5 K 0 3 4
13/00 307 C 5 K 0 4 7

審査請求 未請求 請求項の数 8 OL (全 12 頁)

(21)出願番号 特願平11-80305

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(22)出願日 平成11年3月24日 (1999.3.24)

(72)発明者 平松 隆宏

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 中島 宏一

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 100066474

弁理士 田澤 博昭 (外1名)

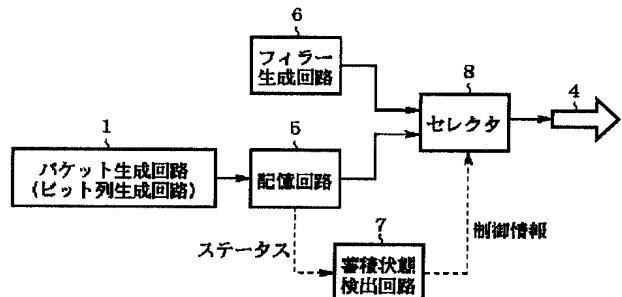
最終頁に続く

(54)【発明の名称】 データ通信方法およびデータ通信装置

(57)【要約】

【課題】 任意の伝送速度のデータ列をそれより伝送速度の早い伝送路にマッピングして伝送でき、ゆらぎの発生や、伝送路での信号伝送における固定遅延が少なく、実現回路規模の小さい、データ通信方法およびデータ通信装置を得る。

【解決手段】 ビット列生成回路1によって生成された送信データのビット列を記憶回路5に記憶させ、蓄積状態検出回路7が検出したこの記憶回路5の蓄積状態によって切り替えられるセレクタ8によって、この記憶回路5に記憶されたデータまたはフィラー生成回路6の生成した無効なデータによるフィラーの一方を選択し、それをビット列の伝送速度よりも高い伝送速度を有する伝送路4に送出する。



4: D S 3回線 (伝送路)

【特許請求の範囲】

【請求項1】 所定の伝送速度のビット列によるデータを、前記ビット列の伝送速度より大きい伝送速度を有する伝送路によって伝送するデータ通信方法において、前記伝送路の前記ビット列がマッピングされない領域に、無効なデータによるフィラーをマッピングすることを特徴とするデータ通信方法。

【請求項2】 ビット列がマッピングされない領域にマッピングするフィラーとして、前記ビット列にはシステム上存在しないユニークコードを用いることを特徴とする請求項1記載のデータ通信方法。

【請求項3】 ビット列にはシステム上存在しないユニークコードを、ユニークコード長を拡張することによって生じさせ、

生じた前記ユニークコードをフィラーとして用いることを特徴とする請求項2記載のデータ通信方法。

【請求項4】 フィラーとして任意のコードを用い、前記フィラーと同一内容のデータを送出する際には、当該データに前記フィラーを入れ子にして伝送することを特徴とする請求項1記載のデータ通信方法。

【請求項5】 所定の伝送速度のビット列によるデータを、前記ビット列の伝送速度より大きい伝送速度を有する伝送路によって伝送するデータ通信方法において、前記伝送路を所定の単位で表現できる長さよりも短い、時間的に一定の長さの区間に分割し、前記区間に存在しないユニークコードをフィラーとして用い、

前記伝送路の前記ビット列がマッピングされない領域に、前記フィラーをマッピングすることを特徴とするデータ通信方法。

【請求項6】 伝送路を時間的に一定の長さに分割した区間を、当該伝送路のフレームあるいはサブフレームとしたことを特徴とする請求項5記載のデータ通信方法。

【請求項7】 伝送路に送出するデータのビット列を生成するビット列生成回路と、

前記ビット列生成回路にて生成されたビット列を記憶する記憶回路と、

前記ビット列がマッピングされない領域にマッピングする、無効なデータによるフィラーを生成するフィラー生成回路と、

前記記憶回路の蓄積状態を検出し、それに基づいて制御情報を出力する蓄積状態検出回路と、

前記蓄積状態検出回路からの制御情報をもとに、前記記憶回路から出力されるデータ、もしくは前記フィラー生成回路から出力されるフィラーの一方を選択するセレクタとを備えたデータ通信装置。

【請求項8】 伝送路を時間的に一定の長さに分割した区間の終わりに、その時点で記憶回路に記憶されているデータより、当該区間に存在しないユニークコードを検索する検索回路を設け、

フィラー生成回路が、前記検索回路の検索したユニークコードをフィラーとしてセレクタに送出するものであることを特徴とする請求項7記載のデータ通信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、送信するビット列の伝送速度より大きい伝送速度の伝送路に対して、伝送速度の違いを吸収し、適応的に伝送帯域の割り当てを行ってビット列を伝送するデータ通信方法およびデータ通信装置に関するものである。

【0002】

【従来の技術】近年、ネットワークの大容量化、画像技術の高度化により、画像通信が盛んに行われるようになっている。特に画像については、ISO/IEC13818規格で定められている、MPEG(Moving Picture Experts Group)2という画像圧縮技術が広範囲に広まり、急速に普及している。

【0003】このMPEG2における伝送フォーマットには、プログラム・ストリーム(Program Stream;以下PSという)と、トランSPORT・ストリーム(Transport Stream;以下TSという)の2種類があるが、衛星デジタル放送や地上波デジタル放送等の伝送メディアに広く普及しているのは、188バイト固定長のトランSPORT・パケットで構成されるMPEG2-TSである。

【0004】一方、通信においては、伝送路としてATMやLAN、あるいはT1やDS3等の専用線などが存在し、これらの回線上に、どのように上記MPEG2-TSを載せ込むか(以下これをマッピングという)が、上記回線をデジタルTV放送に利用する上で重要なとなる。

【0005】図10は上記回線の内、北米を中心に普及しているDS3回線にMPEG2-TSパケットをマッピングして伝送する、従来のデータ通信装置を示すプロック図である。図において、1はMPEG2-TSパケットを生成するパケット生成回路、2はMPEG2のデータをATMネットワークでリアルタイムに伝送するための規格であるMPEG over ATMにて、MPEG2-TSパケットのマッピングを行うマッピング回路、3はフィジカル・レイヤ・コンバージェンス・プロトコル(Physical Layer Convergence Protocol;以下PLCPという)のフレーム化を行うフレーム化回路、4はDS3回線である。

【0006】次に動作について説明する。テレビ信号などの図示を省略した映像ソースからパケット生成回路1によって生成されたMPEG2-TSパケットは、マッピング回路2に送られて、MPEG over ATMによるマッピングが行われる。

【0007】すなわち、このマッピング回路2では、188バイトのMPEG2-TSパケットを48バイトのATMセルのペイロード部に分割マッピングする。そのマッピング方法は米国のATM LAN標準化団体であるATM Forumが仕様を規定している(Audio/Visual Multimedia Services: Video on Demand v1.1)。この仕様は、376バイトになる2つのMPEG-TSパケットに、AAL5(ATM Adaptation Layer 5)にて定められている8バイトのヘッダ(オーバヘッド)を付加した384バイトを、8個のATMセルにマッピングするものである。図11にこのMPEG over ATMのフォーマットを示す。

【0008】このようにATMセルにマッピングされたMPEG2-TSパケットは、フレーム化回路3に送られてフレーム化され、PLCPフレームとなってDS3回線4に送出される。このDS3回線4にATMセルを載せる方式も、ATM Forumによって規定されており(ATM User-Network Interface Specification V3.1)、そこではフレームレートが $125\mu\text{秒}$ のPLCPフレーム1つにつき、ATMセルを12個マッピングすることが定められている。MPEG2-TSのレート調整は、ATMセルにアイドル・セルを挿入することによって行われる。図12にDS3回線4に送出されるPLCPフレームの構造を示す。

【0009】このように、従来のデータ通信装置では、既存のMPEG over ATMとPLCP DS3フレームフォーマットを組み合わせることで、DS3回線4にMPEG2-TSをマッピングして伝送を行っている。

【0010】なお、このようなデータ通信装置に関する技術についての記載がなされている文献としては、特開平8-32584号公報、特開平7-79282号公報、特開平1-286552号公報などがある。

【0011】

【発明が解決しようとする課題】従来のデータ通信装置は以上のように構成されているので、MPEG2-TSを一旦ATMセルにマッピングし、さらにそのATMセルをPLCPフレームにマッピングしてDS3回線4で伝送するという2段階の処理を行うため、固定遅延が増大し、さらに煩雑なフォーマット処理を必要とするために回路規模が大きくなるなどといった課題があった。

【0012】また、2つのフォーマット(ATMセル、PLCPフレーム)を経ることによってオーバヘッドが増大し、DS3回線4の伝送帯域に対して送信できるMPEG2-TSの伝送速度が制限されるため、回線使用効率が悪くなるという課題があった。

【0013】さらに、アイドルセルを挿入することによ

って伝送速度調整を行っているために、ゆらぎが発生しやすいという課題もあった。

【0014】この発明は上記のような課題を解決するためになされたもので、任意の伝送速度のデータ列をそれより伝送速度の早い伝送路にマッピングして伝送することができるとともに、ゆらぎの発生や、伝送路での信号伝送における固定遅延が少なく、実現回路規模も小さい、データ通信方法およびデータ通信装置を得ることを目的とする。

【0015】

【課題を解決するための手段】この発明に係るデータ通信方法は、ビット列より大きな伝送速度を有する伝送路によって当該ビット列を伝送する際に、無効なデータによるフィラー(Filler)を生成し、それをビット列がマッピングされない領域にマッピングするようにしたものである。

【0016】また、この発明に係るデータ通信方法は、ビット列にシステム上存在しないユニークコードを、フィラーとして用いるようにしたものである。

【0017】

また、この発明に係るデータ通信方法は、ユニークコード長を拡張することによってユニークコードを生成し、それをフィラーとして用いるようにしたものである。

【0018】また、この発明に係るデータ通信方法は、任意のコードをフィラーとして、そのフィラーと同一内容のデータを送出する際には、フィラーを当該データに入れ子にして伝送するようにしたものである。

【0019】

また、この発明に係るデータ通信方法は、伝送路を所定の単位で表現できる長さより短い、時間的に一定の長さの区間に分割し、その区間に存在しないユニークコードをフィラーとして、伝送路のビット列をマッピングしない領域にマッピングするようにしたものである。

【0020】また、この発明に係るデータ通信方法は、伝送路のフレームあるいはサブフレームを、分割された区間とするようにしたものである。

【0021】

また、この発明に係るデータ通信装置は、ビット列生成回路にて生成されたビット列を記憶する記憶回路、ビット列がマッピングされない領域にマッピングされる、無効なデータによるフィラーを生成するフィラー生成回路、記憶回路の蓄積状態を検出する蓄積状態検出回路、および蓄積状態検出回路からの制御情報に従って切り替えられ、記憶回路から出力されるデータとフィラー生成回路から出力されるフィラーの一方を選択するセレクタを有するものである。

【0022】

また、この発明に係るデータ通信装置は、一定の長さに分割された区間の終了時点で、記憶回路に記憶されているデータの中からユニークコードを検索する検索回路を設け、検索されたユニークコードを、フィラー生成回路がフィラーとしてセレクタに送出するよう

にしたものである。

【0023】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1. 図1はこの発明の実施の形態1によるデータ通信装置の構成を示すブロック図であり、MPEG2-TSパケットをDS3回線にマッピングして伝送するデータ通信装置について示している。図1において、1は図示を省略したデータソース、例えばテレビ信号等の映像ソースから、伝送データのビット列であるMPEG2-TSパケットを生成する、ビット列生成回路としてのパケット生成回路である。4はこのパケット生成回路1で生成されたMPEG2-TSパケットがマッピングされて伝送される、伝送路としてのDS3回線である。なお、これらは図10に同一符号を付して示したものと同等のものである。

【0024】5は上記パケット生成回路1によって生成されたMPEG2-TSパケットを記憶する記憶回路である。6はMPEG2-TSパケットのDS3回線4へのマッピングに際して、当該MPEG2-TSパケットがマッピングされない領域にマッピングするための、無効なデータによるフィラーを生成するフィラー生成回路である。7は上記記憶回路5の蓄積状態を検出し、それに基づいて制御情報を出力する蓄積状態検出回路である。8はこの蓄積状態検出回路7からの制御情報によって切り替えられ、記憶回路5から出力されるデータとフィラー生成回路6から出力されるフィラーの一方を選択して、DS3回線4に出力するセレクタである。

【0025】次に動作について説明する。伝送路として想定している上記DS3回線4は、44.736Mbit/sの帯域を有しており、後に説明する図9に示すようなフレームフォーマット(ANSI T1.107)が定められている。しかしながら、ここではこのDS3のフレーム構造とMPEG2-TSのパケット構造とを関連付けることなくデータを伝送するものとする。なお、DS3のオーバーヘッドビットを除いた約44.21Mbit/sのペイロード帯域が、データ伝送に用いることのできる帯域である。

【0026】一方、伝送するデータとして想定しているMPEG2-TSは、19.39Mbit/sのMPEG2-TSであり、このTSは188バイトごとにパケット化されている。ここで、MPEG2における伝送フォーマットには、PSとTSの2種類があるが、衛星デジタル放送や地上波デジタル放送等の伝送メディアに広く普及しているのは、188バイト固定長のトランスポート・パケットで構成されるこのMPEG2-TSである。

【0027】以下の説明は、DS3回線4に19.39Mbit/sのMPEG2-TSパケットをマッピングする場合を想定している。ただし、DS3回線4のペイ

ロード帯域約44.21Mbit/s以下の伝送速度であれば、任意の速度のTSにこの方式が適用できることを付記しておく。

【0028】また、ここでは、MPEG2-TSに載せるデータは、ある小さなサイズを単位として扱われるものであるとする。さらに、当該単位の大きさの、システム上には存在しないユニークコードが存在するものとする。以下では、上記単位を1バイト、上記ユニークコードを&HFF(&Hは16進数を表すものとする。以下同様)とした場合を例に説明する。

【0029】記憶回路5にはパケット生成回路1にて生成されたMPEG2-TSパケットが、19.39Mbit/sの速度で書き込まれる。一方、伝送速度が44.736Mbit/sのDS3回線4にこのMPEG2-TSパケットを載せるために、記憶回路5からデータを読み出す際、そのまま44.736Mbit/sの速度で読み出すと、伝送速度の違いから記憶回路5のデータがアンダーフローを起こす。従って、セレクタ8はデータの読み出し時には、記憶回路5の蓄積状態を示すステータスによって、記憶回路5から読み出すかフライ一生成回路6から読み出すかを、蓄積状態検出回路7からの制御情報を用いて適宜選択する。すなわち、蓄積状態検出回路7では記憶回路5に記憶されているMPEG2-TSのデータ量を計算し、その結果によって蓄積状態を示す制御情報をセレクタ8に出力し、セレクタ8はその制御情報に応じて、記憶回路5またはフィラー生成回路6のいずれより読み出しを行うかを決定する。

【0030】ここで、図2は記憶回路5に対して、1ビットのデータの書き込みもしくは読み出しが行われた際の、蓄積状態検出回路7における処理の手順を示すフローチャートである。ただし、図中のnは前記単位のビット数を示しており、カウンタaは記憶回路5に格納されているデータのビット数を計数するもの、カウンタbは連続した読み出しの回数を計数するものである。

【0031】なお、この処理は通常、ステップST1において、記憶回路5への書き込みまたは読み出しの割り込みが発生するのを待っている割り込み待ちの状態にあり、1ビットのデータが書き込みあるいは読み出しが行われるたびに、割り込みが発生してスタートする。記憶回路5に対する書き込みが発生した場合には、処理はステップST2に移る。ステップST2では記憶回路5に格納されているデータのビット数を計数しているカウンタaの値をインクリメントする。次にステップST3に進み、連続した読み出しの回数を計数しているカウンタbの値が前記単位のビット数nに等しいか否かを判定する。

【0032】この判定が行われるのは、カウンタbの値が所定の単位のビット数n(1バイトを単位とした場合にはn=8)の時は、連続したnビットのデータの出力が終わった直後なので、セレクタ8の入力を切り替える

ことができるが、それ以外の場合は上記単位分の途中のビットを出力中であるために、セレクタ8の入力を切り替えられないからである。ステップST3による判定の結果、カウンタbの値がn以外であればステップST1に戻って割り込み待ちの状態に遷移し、nであればステップST8に移行する。

【0033】一方、ステップST1の割り込み待ちの状態で、記憶回路5に対する読み出しが発生すると、処理はステップST4に移る。ステップST4ではカウンタaの値をデクリメントし、次いでステップST5でカウンタbの値をインクリメントする。次にステップST6において、ステップST3と同様にカウンタbの値がnに等しいか否かを判定する。ステップST6による判定の結果、カウンタbの値がn以外であればステップST1に戻って割り込み待ちの状態に遷移し、nであればステップST7においてカウンタbに0を代入してクリアした後、ステップST8に移行する。

【0034】ステップST8ではカウンタaの値とnの比較を行う。カウンタaの値がnより小さければ、前記単位のビット数分のデータが記憶回路5に記憶されておらず、記憶回路5のデータをDS3回線4に送出することができないため、ステップST9においてセレクタ8の入力をフィラー生成回路6側に設定する。一方、カウンタaの値がn以上であればステップST10に進み、セレクタ8の入力を記憶回路5側に設定する。これらステップST9もしくはステップST10の処理が終了すると、ステップST1に戻って割り込み待ちの状態に遷移する。

【0035】以上の動作によって、記憶回路5においてアンダーフローを起こすことなくデータの読み出しを行うことが可能となる。

【0036】ここで、図3は&HD7および&H93という2バイトのデータを、MPEG2-TSに載せてDS3回線4上で通信する際の時間関係を示すタイミング図であり、図3(a)はDS3回線4上に流れるデータを、図3(b)はMPEG2-TSを、図3(c)は記憶回路5に記憶されている蓄積データ量の時間推移をそれぞれ表している。なお、図3(a)および図3(b)においては、上段にデータを16進表現したもの示しており、下段にそのビット列を、“0”をローレベルで、“1”をハイレベルでそれぞれ表したもの示している。また、図3(c)において、縦軸は蓄積データ量を表しており、この実施の形態1においては、nはn=8としている。また横軸は時間を表し、これは図3(a)および図3(b)と同一の時間軸である。

【0037】なお、図3(a)および図3(b)の下段に示されているビット列の並びにおいて、実線または破線で表された縦の線は、それぞれが記憶回路5に対する読み出しおよび書き込みがおこる時刻を示している。この中でも特に、時刻t1, t2, ..., t6は、ステ

ップST6においてカウンタb=nと判定されるタイミングである。時刻t1, t2, ..., t6から読み込みクロックの1周期分の時間内においてのみ、セレクタ8の入力を切り替えることが可能である。

【0038】時刻t1および時刻t2においては、カウンタaの計数値で表される記憶回路5に記憶されているデータがn(n=8)ビットに満たないため、ステップST8においてセレクタ8の入力がフィラー生成回路6側に設定され、DS3回線4上にはフィラーを表す&HFFが出力される。また、時刻t3においては、カウンタaの計数値が8以上となるため、ステップST10においてセレクタ8の入力が記憶回路5側に設定され、セレクタ8は記憶回路5に記憶されているデータの最初の8ビットである&HD7をDS3回線4上に出力する。

この&HD7のデータが出力されたことによって、時刻t4においては記憶回路5のデータ量が8ビットに満たなくなるため、セレクタ8の入力はフィラー生成回路6側に設定されて、&HFFFがDS3回線4に出力される。次に、時刻t5においては、再度カウンタaの計数値が8以上になるため、セレクタ8は記憶回路5にその時記憶されているデータの、先頭から8ビットである&H93をDS3回線4上に出力する。

【0039】以上のように、この実施の形態1によれば、任意に設定した所定の単位(例えば1バイト)分のビットがDS3回線4に出力されるたびに、その時点での記憶装置5の記憶量によって、データを送出するかフィラーを送出するかを切り替えるように構成しているので、伝送路(DS3回線4)の伝送速度より低速な任意の速度でデータを転送することが可能となり、また、データの伝送速度によって固定的なフレームフォーマットなどを決める必要がなく、多様な伝送速度に柔軟に対応することが可能になるばかりか、送出単位を小さく設定できるため、ゆらぎが発生しにくくなるなどの効果を得られる。

【0040】実施の形態2. なお、上記実施の形態1では、MPEG2-TSに載せるデータがある小さなサイズ(1バイト)を単位として扱われ、当該単位の大きさのシステム上には存在しないユニークコードをフィラーとした場合について説明したが、ユニークコード長を拡張し、それによって生成されたユニークコードをフィラーとして用いるようにしてもよい。ここでは、上記単位を188バイトのMPEG2-TSと同じサイズ、すなわち、n=188×8=1504ビットとした場合について説明する。

【0041】この実施の形態2によるデータ通信方法では、実施の形態1の場合と比較して所定の単位のビット数nの値が大きくなり、それに伴って記憶回路5の記憶容量を大きくする必要があるが、処理の手順は図2に示した実施の形態1の場合と同様である。ただし、ステップST3、ステップST6およびステップST8におい

ではnを1504として処理を行う。このように、ユニークコード長を1504ビットに拡張することによって、実施の形態1に示した8ビットの場合に比べて、ユニークコードが存在する確率ははるかに高いものとなる。

【0042】ここで、図4はMPEG2-TSにデータを載せてDS3回線4上で通信する際の時間関係を示すタイミング図であり、図4(a)はDS3回線4上に流れれるデータを、図4(b)はMPEG2-TSを、図4(c)は記憶回路5に記憶されている蓄積データ量の時間推移をそれぞれ表している。この図4(c)において、縦軸は蓄積データ量、横軸は時間を表しており、この時間軸は図4(a)および図4(b)と同一の時間軸である。

【0043】この場合、時刻T1, T2, ..., T6は図2のステップST6においてカウンタb=n(1504)と判定されるタイミングである。時刻T1および時刻T2においては、記憶回路5に記憶されているデータが1504ビットに満たないため、DS3回線4にはフィラーが送出される。また、時刻T3においては、カウンタaが1504ビット以上となるため、記憶回路5に記憶されているデータ1のTSパケットがDS3回線4上に出力される。時刻T4においては、このデータ1の出力によって記憶回路5のデータ量が1504ビットに満たなくなるため、DS3回線4にはフィラーが出力される。時刻T5においては、記憶回路5のデータ量が1504ビット以上になるため、記憶回路5に記憶されているデータ2のTSパケットがDS3回線4上に出力される。

【0044】上記の例は、記憶回路5にフィラーと同じ長さのデータが記憶されるまでデータの送出を行わず、またデータの送出の際には一度にフィラーと同じ長さのデータを連續して出力する場合について示したが、フィラーの長さに関わらず、任意の長さのデータを任意のタイミングで送出することも可能である。図5はそのような場合のデータの送信を示す説明図であり、図5(a)はフィラーと同じ長さのデータのみを送出する場合を、図5(b)はフィラーの長さとは無関係に、任意の長さのデータを送出する場合を示している。

【0045】以上のように、この実施の形態2によれば、ユニークコード長を長くすることによって、ユニークコードが存在する確率が高くなり、より多くのシステムに適用可能になるという効果が得られる。

【0046】実施の形態3、また、上記実施の形態1および実施の形態2では、いずれもユニークコードが存在することを前提としているが、ユニークコードが存在しないシステムにもこの発明を適用することは可能である。この実施の形態3はそのようなユニークコードが存在しないシステムにおけるデータ通信方法を実現するものである。

【0047】ここで、上記実施の形態1および実施の形態2において、DS3回線4に送出されるフィラーがユニークコードでない場合、送信データ中にフィラーと同じコードが含まれることになる。従って、受信側ではフィラーとデータを区別することができなくなる。この実施の形態3においては、送信側でフィラーを挿入するタイミングを制御することによって、フィラーと同一コードのデータを送信することを可能にしている。

【0048】図6はこの発明の実施の形態3によるデータ通信方法において、フィラーと同一コードのデータを送信する際のフィラーの挿入を示す説明図である。なお、図6(a)は送信するデータを、図6(b)はフィラーをそれぞれ表しており、図6(c)は受信側で送信データを正常に再現することが不可能なタイミングでフィラーを挿入した例、図6(d)は受信側で送信データを正常に再現することが可能なタイミングでフィラーを挿入した例をそれぞれ表している。

【0049】図6(a)に示す&H456789ABCDEF0123という8バイトのデータを、図6(b)

20 20に示す&HABCD E Fという3バイトのフィラーを用いて伝送する場合、図6(c)に示すように、当該フィラーを図6(a)のデータ中に存在する&HABCD E Fの前に挿入すると、伝送するビット列に&HABCD E Fというコードが2つ存在して、その双方がフィラーとして認識されてしまう。従って、データ中に含まれる&HABCD E Fというコードは結果的に伝送されなくなる。このことは、フィラーをデータ中の&HABCD E Fの後ろ、あるいはデータ中の&H456789の間、もしくは&H0123の間に挿入した場合に置いても同様である。

【0050】そこで、この実施の形態3においては、図6(d)に示すように、データ中のフィラーと同一コードである&HABCD E Fというコードの&HABと&HCDとの間にフィラーを挿入し、入れ子にして伝送している。このように、フィラーと同一のコードのデータを送出するときには、当該データの間にフィラーを入れ子(図示の例では&HABABCDEF CDEF)にして伝送しているため、伝送されるビット列には&HABCD E Fというコードは一つしか存在しない。従って、

40 受信側では送信データと同じ&H456789ABCDEF0123が受信される。なお、フィラーをデータ中の&HCDと&HEFとの間に挿入するようにも、同様に伝送されるビット列には&HABCD E Fというコードは一つしか存在しなくなる。

【0051】以上のように、この実施の形態3によれば、任意のコードをフィラーとして用い、フィラーと同一内容のデータを送信する際には、データにフィラーを入れ子にしているので、ユニークコードが存在しないシステムにおいても、伝送路(DS3回線4)の伝送速度より低速な、任意の速度のデータを通信することが可能

になるという効果が得られる。

【0052】実施の形態4. なお、上記実施の形態3においては、フィラーと同一内容のデータを送出する際に、フィラーを当該データに入れ子にして伝送するものについて説明したが、伝送路がある一定の長さの区間に分割して取り扱うようにしても、ユニークコードが存在しないシステムへの適用は可能である。実施の形態4はそのようなこの発明のデータ通信装置に関するものである。

【0053】ここで、上記伝送路を一定の長さに分割した区間が所定の単位1つで表現できる長さより短い場合、その区間に内にユニークコードが必ず存在する。今、この区間に含まれるビット数をm、前記単位のビット数をnとすると、 $m/n < 2^n$ であれば、当該区間ににおいてユニークコードが存在する。例えば、上記区間の長さを255バイト、単位を1バイトとすると、 $255 \times 8 / 8 = 255 < 256 = 2^8$ であるため、255バイトの区間に内にはユニークな1バイト長のコードが必ず存在する。このユニークコードをフィラーとして、伝送路上または伝送路外の余剰な帯域の決められた位置に配置することによって、データとフィラーの区別が可能となる。

【0054】図7はそのようなこの発明の実施の形態4によるデータ通信装置の構成を示すブロック図であり、相当部分には図1と同一符号を付してその説明を省略する。図において、9は伝送路(DS3回線4)を一定の長さに分割した区間の終わりに、その時点での記憶回路5に記憶されているデータの中から、当該区間に内に存在しないユニークコードを検索して、得られたユニークコードをフィラー生成回路6に送出する検索回路である。また、フィラー生成回路6はビット列をマッピングしない領域にマッピングするフィラーを生成する際に、上記検索回路9の検索したユニークコードをフィラーとしてセレクタ8に送出している点で、図1に同一符号を付したものとは異なっている。

【0055】次に動作について説明する。ここで、図8は記憶回路5に対して、1バイトのデータの書き込みもしくは読み出しが行われた際の、蓄積状態検出回路7における処理の手順を示すフローチャートである。ただし、図中のmは上記区間のバイト数を表しており、カウンタcは記憶回路5に格納されているデータのバイト数の係数を、カウンタdは出力中の区間において出力すべきデータの残りバイト数の係数を、カウンタeは出力中の区間において出力済みのデータまたはフィラーのバイト数の係数をそれぞれ行うものである。

【0056】なお、この処理は通常ステップST11において、記憶回路5への書き込みまたは読み出しの割り込みが発生するのを待っている割り込み待ちの状態になり、1バイトのデータが書き込みあるいは読み出しが行われるたびに、割り込みが発生してスタートする。記憶

回路5に対する書き込みが発生すると、処理はステップST12に移る。このステップST12では、記憶回路5に格納されているデータのバイト数を計数しているカウンタcの値をインクリメントした後、そのままステップST11に戻って割り込み待ちの状態となる。

【0057】一方、ステップST11の割り込み待ちの状態にあるとき、記憶回路5への読み出しが発生すると、処理はステップST13に移行して、カウンタcの値をデクリメントする。次に、ステップST14において、出力中の区間において出力すべきデータの残りバイト数を計数しているカウンタdの計数値が0であるか否かを判定する。これは、現在出力中の区間において出力すべきデータが、全て出力されているか否かを判定するためである。判定の結果、このカウンタdが0でなければ、まだ出力すべきデータが残っているので、ステップST15にてこのカウンタdをデクリメントし、さらにステップST16において、セレクタ8の入力を記憶回路5側に設定する。なお、ステップST14にてカウンタdが0になっていると判定された場合には、ステップ20 ST17においてセレクタ8の入力をフィラー生成回路6側に設定する。

【0058】これらステップST16あるいはステップST17の処理が終了すると、処理はステップST18に移行する。ステップST18では、出力中の区間において出力済みのデータまたはフィラーのバイト数を計算しているカウンタeの計数値がm未満であるか否かを判定する。これは、出力中の区間において出力済みのデータまたはフィラーのバイト数がmになった時には、1つの区間が終了しているため、次の区間で用いるユニークコードを計算する必要があるからである。判定の結果、このカウンタeの計数値がmになれば、すなわちm未満でなければ、その区間の出力は終了したので、まずステップST19において、このカウンタeに0を代入してクリアする。次にステップST20において、その時のカウンタcの計数値をカウンタdに代入する。次にステップST21において、検索回路9にその区間におけるユニークコードを検索するように指示を出した後、ステップST11に戻って割り込み待ちの状態に遷移する。

【0059】一方、ステップST18において、カウンタeの計数値がm未満であると判定された場合には、その区間の出力はまだ終了していないので、処理はステップST22に移る。ステップST22ではカウンタeをインクリメントし、その後ステップST11に戻って割り込み待ちの状態となる。

【0060】以上のように、この実施の形態4によれば、一定区間ごとにユニークなコードを検索し、それをフィラーとして用いているので、システム上、ユニークコードが存在しない場合でも、伝送路(DS3回線4)の伝送速度より低速な任意の速度のデータを通信することができるようになるという効果が得られる。

【0061】実施の形態5。また、上記実施の形態4では、ユニークコードを検索する範囲を一定の長さを持つ区間としていたが、その範囲をフレームまたはサブフレームとするようにしてもよい。なお、この実施の形態5では、そのユニークコードを検索する範囲をサブフレームとしたものについて説明する。

【0062】伝送路として想定しているDS3回線は、44.736Mbit/sの帯域があり、図9に示すような、ANSI T1.107によるフレームフォーマットが定められている。DS3は4760ビットのビット列を1フレームとし、各フレームはそれぞれが680ビットずつの7つのブロック（以下サブフレームと呼ぶ）に区切られて、さらに各サブフレームは85ビットずつの8つのブロックに区切られている。そして、図示のように、1フレームに56ビット（1ブロックにつき1ビットずつ）のオーバヘッドビットがあり、実際にデータを載せることができるのは1サブフレームにつき672ビット、1フレームにつき4704ビットになる。

【0063】実施の形態5では、このサブフレームを上記一定の長さを持つ区間に相当するものとして考える。サブフレームは前述のように84バイトの情報量を有しているが、ここでは、フィラーをこのサブフレームの先頭に配置して伝送することとする。そのため、データの伝送に使用できる情報量は、各サブフレームにつき83バイトとなる。このようなサブフレーム上に19.39Mbit/sのMPEG2-TSパケットを載せると、 $84 \times (19.39 / 44.736) = 36.4$ より、1サブフレームにつき36バイトないし37バイトのデータを載せることができる。この約36バイトのデータの中でユニークなコードを検索回路9にて検索し、それをフィラーとしてサブフレームの先頭、および伝送すべきデータが存在しない位置に埋め込む。

【0064】このように、この実施の形態5によれば、ユニークコードを検索する範囲がサブフレームとなるため、受信側ではサブフレーム単位でデータを処理すれば済むため、受信側の回路を簡素化することができるという効果がえられる。

【0065】なお、上記説明では、ユニークコードを検索する範囲をサブフレームとしたものについて示したが、このユニークコードを検索する範囲をフレームとしてもよく、サブフレームとした場合と同様の効果を奏する。

【0066】

【発明の効果】以上のように、この発明によれば、ビット列をそれより大きな伝送速度の伝送路にて伝送する際に、伝送路のビット列がマッピングされない領域に、無効なデータによるフィラーをマッピングするように構成したので、伝送路の伝送速度より低速な任意の速度でデータを転送することができ、またデータの伝送速度によって固定的なフレームフォーマットなどを決める必要がなくなり、多様な伝送速度に柔軟に対応することができ、さらに、送出単位を小さく設定可能となるため、ゆらぎの発生を

なくなって、多様な伝送速度に柔軟に対応することが可能なデータ通信方法が得られる効果がある。

【0067】また、この発明によれば、フィラーとして、ビット列にはシステム上存在しないユニークコードを用いるように構成したので、送出単位を小さく設定することが可能となり、ゆらぎが発生しにくいデータ通信方法が得られるという効果がある。

【0068】また、この発明によれば、ユニークコード長の拡張によって生じたユニークコードをフィラーとして用いるように構成したので、ユニークコードが存在する確率が高くなり、より多様なシステムへの適用が可能になるという効果がある。

【0069】また、この発明によれば、フィラーとして任意のコードを用い、そのフィラーと同一内容のデータを送出する際は、当該データにフィラーを入れ子にして伝送するように構成したので、フィラーと同一内容のデータとフィラーとの識別が可能となり、ユニークコードが存在しないシステムにおいても、伝送路の伝送速度よりも低速な任意の速度のデータの通信が可能になるという効果がある。

【0070】また、この発明によれば、伝送路を所定の単位で表現できる長さより短い、時間的に一定の長さの区間に分割して、その区間に存在しないユニークコードをフィラーとし、そのフィラーを伝送路のビット列をマッピングしない領域にマッピングするように構成したので、システム上ユニークコードが存在しないような場合でも、上記区間内にはユニークコードが存在するため、それをフィラーとしてマッピングすることによって、ユニークコードが存在しないシステムにおいても、伝送路の伝送速度より低速な任意の速度のデータの通信が可能になるという効果がある。

【0071】また、この発明によれば、分割された区間を、伝送路のフレームあるいはサブフレームと/orするように構成したので、ユニークコードの検索範囲がフレームまたはサブフレームとなるため、受信側のデータ処理はフレームまたはサブフレーム単位で行えばよく、受信側の装置構成を簡略化できるという効果がある。

【0072】また、この発明によれば、ビット列生成回路の生成したビット列を記憶回路に記憶させ、この記憶回路の記憶データとフィラー生成回路の生成したフィラーの一方を、蓄積状態検出回路が検出した記憶回路の蓄積状態によって切り替えられるセレクタによって選択するように構成したので、データを送出するかフィラーを送出するかを、データ出力時点での記憶装置の蓄積データ量によって切り替えることができるようになるため、伝送路の伝送速度より低速な任意の速度でのデータ転送が可能となり、また、データの伝送速度によって固定的なフレームフォーマットなどを決める必要がなくなり、多様な伝送速度に柔軟に対応することができ、さらに、送出単位を小さく設定可能となるため、ゆらぎの発生を

抑えることができるデータ通信装置が得られるという効果がある。

【0073】また、この発明によれば、分割された一定の区間の終了時点で記憶回路に記憶されているデータの中から、検索回路が検索したユニークコードを、フィラーとしてフィラー生成回路よりセレクタに送出するよう構成したので、システム上ユニークコードが存在しないような場合でも、その一定の区間内には存在するユニークコードをフィラーとしてマッピングすることによって、ユニークコードが存在しないシステムにおいても、伝送路の伝送速度より低速な任意の速度のデータの通信が可能になるという効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1によるデータ通信装置の構成を示すブロック図である。

【図2】 上記実施の形態1における蓄積状態検出回路による処理の手順を示すフローチャートである。

【図3】 上記実施の形態1における、MPEG2-TSにデータを載せてDS3回線上を通信する際の時間関係を示すタイミング図である。

【図4】 この発明の実施の形態2における、MPEG2-TSにデータを載せてDS3回線上を通信する際の

時間関係を示すタイミング図である。

【図5】 上記実施の形態2における任意の長さのデータを任意のタイミングでの伝送を示す説明図である。

【図6】 この発明の実施の形態3におけるフィラーの挿入を示す説明図である。

【図7】 この発明の実施の形態4によるデータ通信装置の構成を示すブロック図である。

【図8】 上記実施の形態4における蓄積状態検出回路による処理の手順を示すフローチャートである。

10 【図9】 この発明の実施の形態5におけるDS3回線のフレームフォーマットを示す説明図である。

【図10】 従来のデータ通信装置の構成を示すブロック図である。

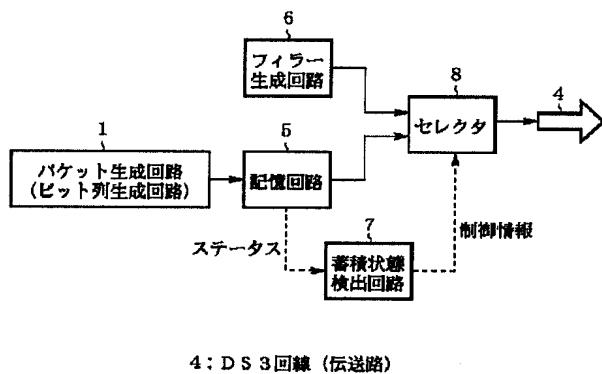
【図11】 MPEGOVERATMのフォーマットを示す説明図である。

【図12】 DS3回線に送出されるPLCPフレームの構造を示す説明図である。

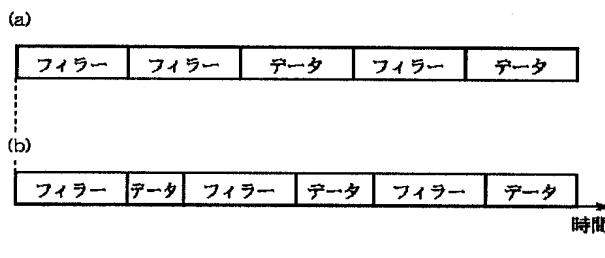
【符号の説明】

- 1 パケット生成回路（ビット列生成回路）、4 DS
20 3回線（伝送路）、5 記憶回路、6 フィラー生成回路、7 蓄積状態検出回路、8 セレクタ、9 検索回路。

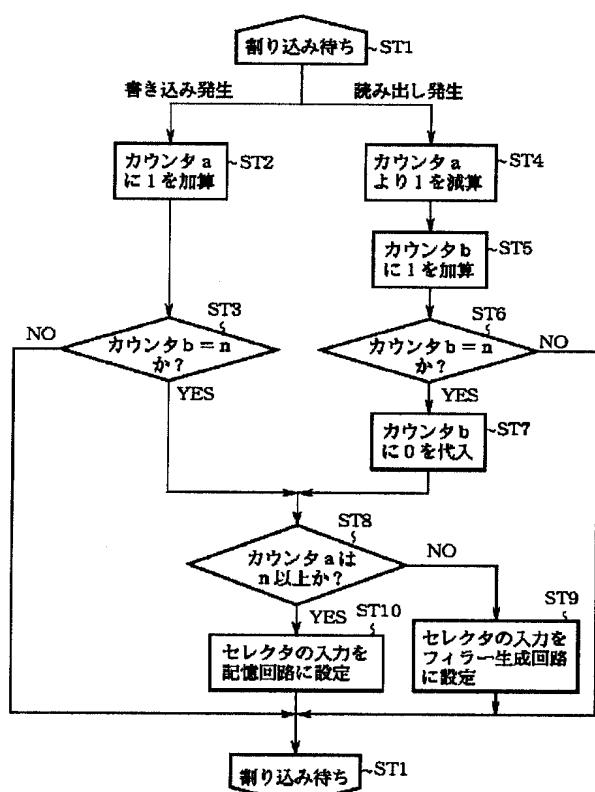
【図1】



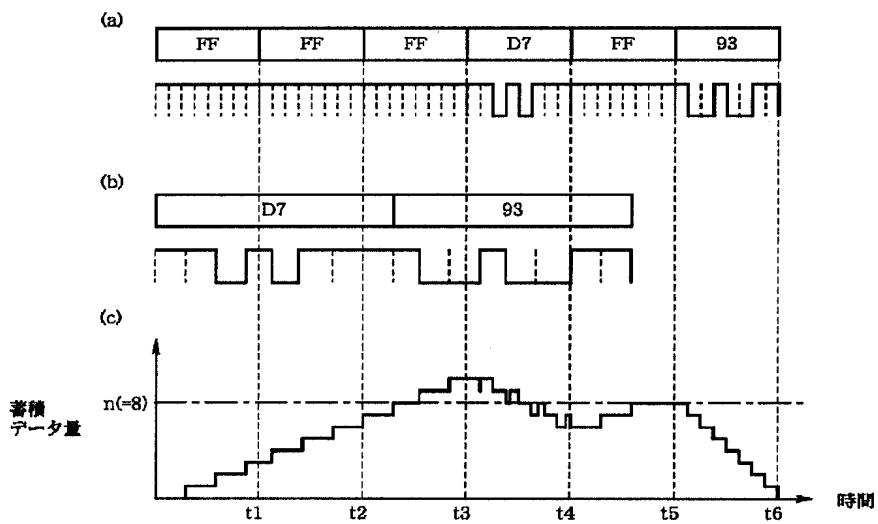
【図5】



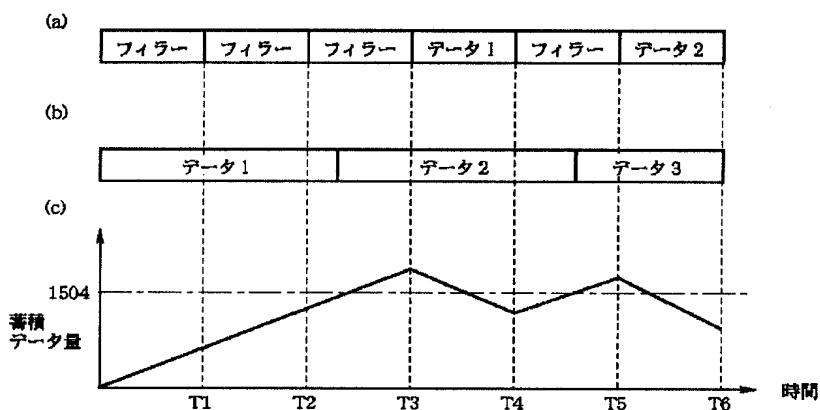
【図2】



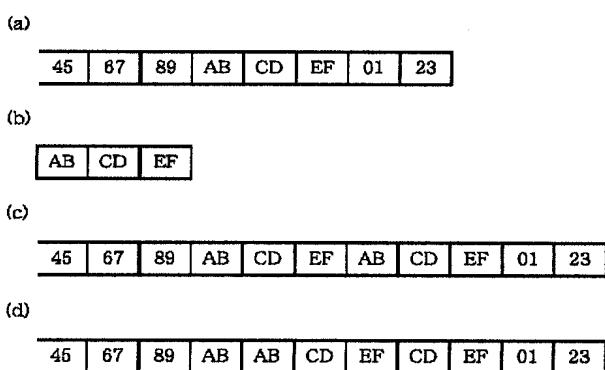
【図3】



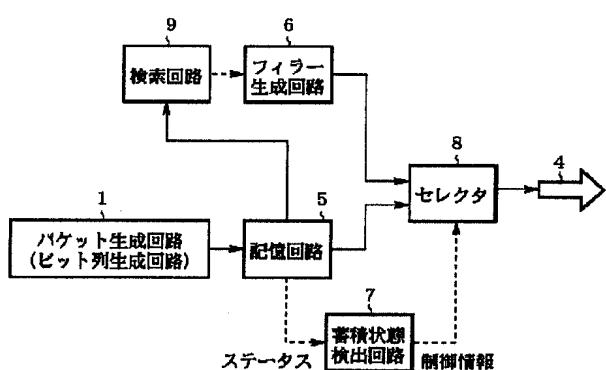
【図4】



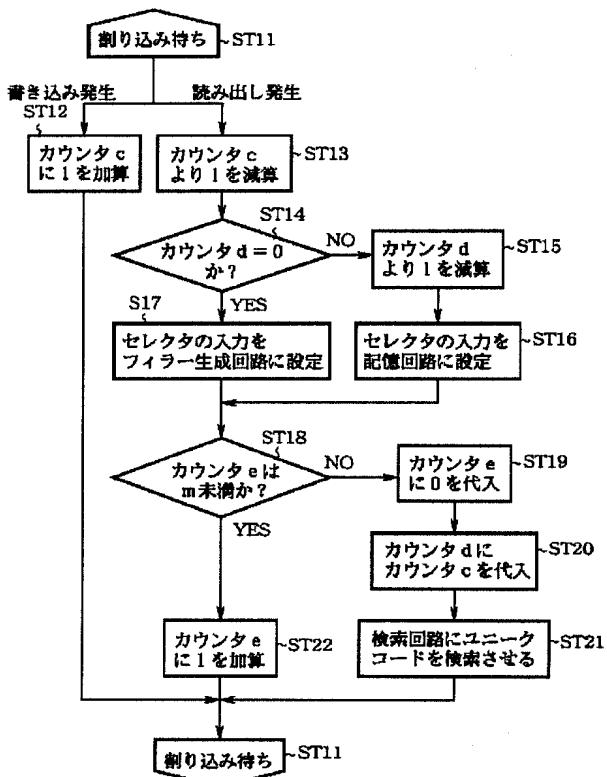
【図6】



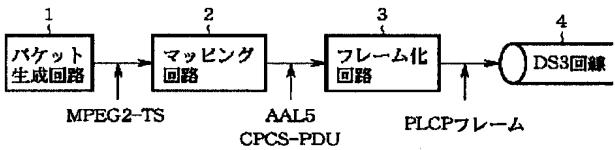
【図7】



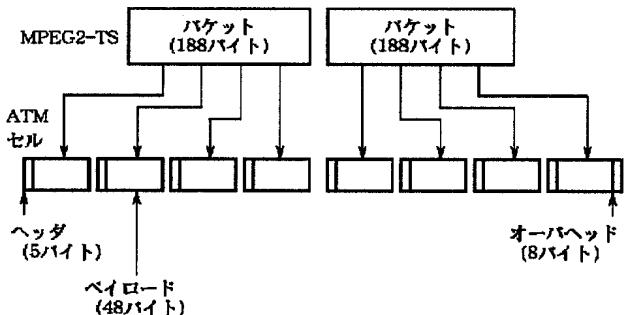
【図8】



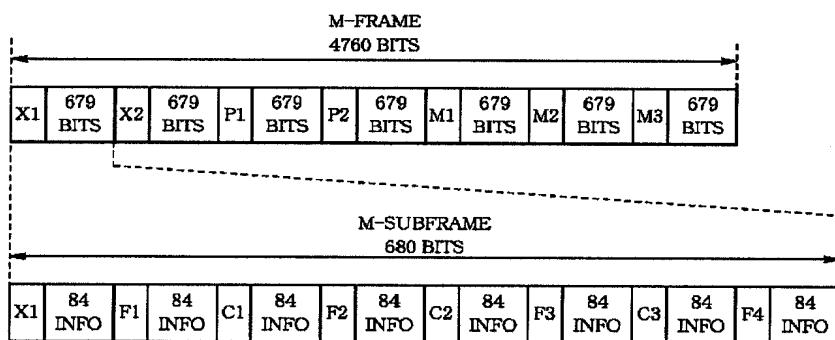
【図10】



【図11】



【図9】



【図12】

A1	A2	P11	Z6	ATM Cell	
A1	A2	P10	Z5	ATM Cell	
A1	A2	P9	Z4	ATM Cell	
A1	A2	P8	Z3	ATM Cell	
A1	A2	P7	Z2	ATM Cell	
A1	A2	P6	Z1	ATM Cell	
A1	A2	P5	F1	ATM Cell	
A1	A2	P4	B1	ATM Cell	
A1	A2	P3	G1	ATM Cell	
A1	A2	P2	M2	ATM Cell	
A1	A2	P1	M1	ATM Cell	
A1	A2	P0	C1	ATM Cell	Trailer
			POH	53 bytes	

PLCP
Frame Rate
12.5 μs

(POH:Pass Over Head)

フロントページの続き

F ターム(参考) 5K028 AA01 AA03 AA07 KK32 MM17
 NN52 RR03 SS24
 5K030 GA02 GA05 HA08 HA10 HB01
 HB02 HB13 HC04 HC14 JA05
 JA07 KA03 KA19 LA07 LB14
 5K034 AA03 AA11 CC03 CC05 CC06
 EE10 EE11 EE13 FF02 HH01
 HH05 HH07 HH12 HH16 HH17
 HH21 HH37 HH50 MM08 MM14
 MM25 MM30 PP08
 5K047 AA06 AA16 BB11 BB15 BB16
 CC01 DD01 DD02 GG47 HH44
 LL01 LL10 MM24